

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2002 EPO. All rts. reserv.

11241015

Basic Patent (No,Kind,Date): JP 5152325 A2 930618 <No. of Patents: 002>

MANUFACTURING METHOD OF THIN FILM TRANSISTOR (English)

Patent Assignee: MATSUSHITA ELECTRIC IND CO LTD

Author (Inventor): KAWAMURA TETSUYA; FURUTA MAMORU; YOSHIOKA TATSUO;  
TSUTSU HIROSHI; MIYATA YUTAKA

IPC: \*H01L-021/336; H01L-029/784; H01L-027/12

CA Abstract No: 120(14)180151C

Derwent WPI Acc No: C 93-230065

JAPIO Reference No: 170538E000102

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
JP 5152325	A2	930618	JP 91317848	A	911202 (BASIC)
JP 2948965	B2	990913	JP 91317848	A	911202

Priority Data (No,Kind,Date):

JP 91317848 A 911202

DIALOG(R)File 347:JAPIO

(c) 2002 JPO & JAPIO. All rts. reserv.

04160625      \*\*Image available\*\*

**MANUFACTURING METHOD OF THIN FILM TRANSISTOR**

PUB. NO.:      **05-152325** [JP 5152325 A]

PUBLISHED:      June 18, 1993 (19930618)

INVENTOR(s):   KAWAMURA TETSUYA

FURUTA MAMORU

YOSHIOKA TATSUO

TSUTSU HIROSHI

MIYATA YUTAKA

APPLICANT(s): MATSUSHITA ELECTRIC IND CO LTD [000582] (A Japanese Company  
or Corporation), JP (Japan)

APPL. NO.:      03-317848 [JP 91317848]

FILED:           December 02, 1991 (19911202)

INTL CLASS:     [5] H01L-021/336; H01L-029/784; H01L-027/12

JAPIO CLASS:    42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R002 (LASERS); R004 (PLASMA); R096 (ELECTRONIC MATERIALS  
-- Glass Conductors); R100 (ELECTRONIC MATERIALS -- Ion Implantation)

JOURNAL: Section: E, Section No. 1440, Vol. 17, No. 538, Pg. 102,  
September 28, 1993 (19930928)

**ABSTRACT**

**PURPOSE:** To provide the titled TFT capable of specifying an LDD region to be in almost the same width for miniaturizing the element size by a method wherein an electrode is formed by etching away a conductive thin film in the shape having side etched part different from a resist pattern and then a semiconductor layer is doped with the two dopants in high and low concentrations.

**CONSTITUTION:** A semiconductor thin film 10, an insulator thin film 11 and a conductive thin film 12 are formed on a substrate 1. Next, a resist 13 pattern is formed on the conductive thin film. Next, the conductive thin film 12 is etched away in the shape having side etched part different from the resist 13 pattern so as to form an electrode 12'. Next, the semiconductor thin film 10 is doped with (the first dopant) in high concentration using the resist 13 as a doping mask. Finally, after removing the resist 13 pattern (using the electrode as a doping mask), the semiconductor thin film 10 is doped with (the second dopant) in low concentration so as to manufacture the titled TFT.

(51)IntCl<sup>5</sup>

H 0 1 L 21/336

29/784

27/12

識別記号

庁内整理番号

F I

技術表示箇所

P 8728-4M

9056-4M

H 0 1 L 29/ 78

3 1 1 P

審査請求 未請求 請求項の数7(全 6 頁)

(21)出願番号

特願平3-317848

(22)出願日

平成3年(1991)12月2日

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 川村 哲也

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72)発明者 古田 守

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72)発明者 吉岡 達男

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(74)代理人 弁理士 松田 正道

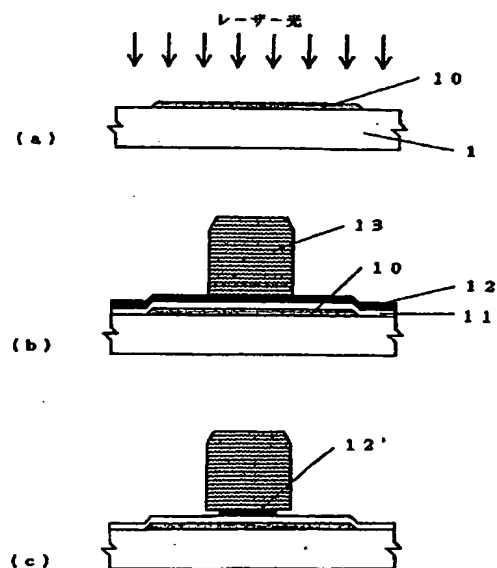
最終頁に続く

(54)【発明の名称】 薄膜トランジスタの製造方法

(57)【要約】

【目的】 LDD領域がほぼ同一の幅のLDD構造を有する高性能で小型のポリシリコンTFTを提供すること。

【構成】 基板1上に半導体薄膜10と絶縁体薄膜11と導電性薄膜12を形成する工程と、導電性薄膜12上にレジスト13のパターンを作成する工程と、このレジスト13のパターンと比べてサイドエッチングを有する形状に導電性薄膜12をエッチングすることにより電極を形成する工程と、レジスト13をドーピングマスクに用いて半導体薄膜10へ高濃度のドーピング(第1のドーパント導入工程)を行う工程と、このレジスト13のパターンを除去した後に(電極をドーピングマスクに用いた)半導体薄膜10へ低濃度のドーピング(第2のドーパント導入工程)を行う工程を使ってTFTを製造する。



1 基板  
10 ポリシリコン層  
11 SiO<sub>2</sub>薄膜  
12 Cr薄膜  
12' ゲート電極  
13 レジストのパターン

## 【特許請求の範囲】

【請求項1】 基板上に半導体薄膜を形成する工程と、絶縁体薄膜を形成する工程と、導電性薄膜を形成する工程と、前記導電性薄膜上にレジストのパターンを作成する工程と、前記レジストのパターンと比べてサイドエッチングを有する形状に前記導電性薄膜をエッチングすることにより電極を形成する工程と、前記レジストをドーピングマスクに用いた、前記半導体薄膜への第1のドーパント導入工程と、前記レジストのパターンを除去後に実施する前記半導体薄膜への第2のドーパント導入工程とを備えたことを特徴とする薄膜トランジスタの製造方法。

【請求項2】 第1のドーパント導入工程に先だって前記レジストにベーキングを行い前記サイドエッチングの少なくとも一部分を前記レジストでカバーする事を特徴とする請求項1記載の薄膜トランジスタの製造方法。

【請求項3】 前記レジストにネガタイプのレジストを用いる事を特徴とする請求項2記載の薄膜トランジスタの製造方法。

【請求項4】 基板上に半導体薄膜を形成する工程と、絶縁体薄膜を形成する工程と、導電性薄膜を形成する工程と、前記導電性薄膜を形成する工程の後に薄膜(A)を作成する工程と、前記薄膜(A)上にレジストのパターンを作成する工程と、前記レジストのパターンを用いて前記薄膜(A)をエッチングし薄膜パターン(A')を作成する工程と、前記薄膜パターン(A')と比べてサイドエッチングを有する形状に前記導電性薄膜をエッチングすることにより電極を形成する工程と、前記薄膜パターン(A')をドーピングマスクに用いた、前記半導体薄膜への第1のドーパント導入工程と、前記薄膜パターン(A')を除去後に実施する前記半導体薄膜への第2のドーパント導入工程とを備えたことを特徴とする薄膜トランジスタの製造方法。

【請求項5】 基板に絶縁性基板を用い、かつレーザー照射により結晶化を行った多結晶シリコン薄膜を前記半導体薄膜に用いることを特徴とする請求項1または請求項4記載の薄膜トランジスタの製造方法。

【請求項6】 第1のドーパント導入工程と前記第2のドーパント導入工程にイオン注入法、イオンシャワードーピング法またはプラズマドーピング法を用いることを特徴とする請求項1、請求項3記載または請求項6の薄膜トランジスタの製造方法。

【請求項7】 第1のドーパント導入工程に比べ前記第2のドーパント導入工程の方が導入されるドーパント量が少ないことを特徴とする請求項1または請求項6記載の薄膜トランジスタの製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、液晶を駆動する液晶表示装置や画像読み取り用センサ等に用いられている薄膜

トランジスタの製造方法、とりわけ比較的低温(600℃以下)で形成されたポリシリコン薄膜を用いたポリシリコン薄膜トランジスタの製造方法に関するものである。

## 【0002】

【従来の技術】 以下、液晶表示装置用に応用検討が進められているポリシリコン薄膜トランジスタ(以下TFETと呼ぶ)とその製法の一例を説明する。

【0003】 近年TFETを用いた液晶表示の分野では、比較的低温(600℃以下)で形成されたポリシリコンTFETが注目を集めている(例えば雑誌「フラットパネル・ディスプレイ1991」, pp.117【日経BP社発行】を参照)。ところで、ポリシリコンTFETの重大な欠点の一つにリーク電流が大きいことがあげられ、特に画素電極用のTFETの場合大きな問題となる。このためオフセット構造やLDD(ライトリイー・ドーフト・ドレイン)構造のトランジスタの検討がなされている。図5は従来のLDD構造のポリシリコンTFETの製造方法を説明するためのトランジスタ部の工程断面図である。以下に、この従来の製法について簡単に説明する(ポリシリコンTFETの製造方法については、世良他、1989年秋期、第50回応用物理学会学術講演会講演予稿集27a-A-2, pp.539を参照)。

【0004】 まず基板1上にソースドレインとなるべき部位に高濃度の不純物を含んだポリシリコン層2を形成し、その上にアモルファスシリコン層3を形成する(図5(a))。次にエキシマレーザーを照射することによりアモルファスシリコン層3を多結晶化しポリシリコン層3'を形成する(図5(b))。次にゲート絶縁膜4とゲート電極5を形成し、ゲート電極5をドーピングマスクにイオン注入を行い低濃度のソースドレイン領域(LDD領域)L1とL2を形成する。つづいてパッシベーション膜6を形成し、メタル電極7を形成することによりLDD構造のTFETを作製している。なおポリシリコン層2とゲート電極5は露光機を用いたフォトリソグラフィ工程でパターン形成されている。

## 【0005】

【発明が解決しようとする課題】 しかしながら、図5のような製法でLDD構造のポリシリコンTFETを作製する場合、以下の課題が問題となる。

【0006】 すなわち、露光機を使ったフォトマスクの位置合わせにはばらつきがあるため、低濃度のソースドレイン領域(LDD領域)L1とL2の幅が場所により変化してしまい、このためトランジスタ特性にばらつきが生じるという点である。液晶表示装置の場合非常に多数(数万~数百万個)のトランジスタをばらつきなく作る必要があり、特に大型基板を用いる場合、複数の露光領域を繋ぎ合わせて分割露光する場合が多く、繋目の部分でL1とL2の比が急激に変化する場合があり事態は深刻である。

【0007】次に、LDD領域はソースドレイン領域2とゲート電極5との2つのパターン間に確実に作る必要があり、これに伴い、LDD領域L1とL2の幅は位置合わせマージンの倍以上の幅（液晶表示装置の製造に用いる大型基板対応の露光機では数 $\mu\text{m}$ の幅）で設計することが必要となる。このためLDD構造を取らない場合に比べて素子サイズが大きくなるという問題が2つめの課題である。液晶表示装置の画素電極用TFETが目的の場合、できるだけ画素の開口率（有効領域）を大きく取る必要があるため、素子サイズがしばしば設計上の問題点となる。とりわけ高密度のタイプでは素子サイズをいかに小さくするかが大きな課題となっている。

【0008】本発明は、このような従来のTFETの製造方法の課題を考慮し、LDD領域がほぼ同一の幅にでき、素子サイズを小さくできるTFETの製造方法を提供することを目的とするものである。

#### 【0009】

【課題を解決するための手段】本発明は、基板上に半導体薄膜と絶縁体薄膜と導電性薄膜を形成する工程と、導電性薄膜上にレジストのパターンを作成する工程と、このレジストのパターンと比べてサイドエッチングを有する形状に導電性薄膜をエッチングすることにより電極を形成する工程と、レジストをドーピングマスクに用いて半導体層へ高濃度のドーピング（第1のドーパント導入工程）を行う工程と、このレジストのパターンを除去した後に（電極をドーピングマスクに用いた）半導体層へ低濃度のドーピング（第2のドーパント導入工程）を行う工程を使ってTFETを製造することである。

【0010】また本発明は、基板上に半導体薄膜と絶縁体薄膜と導電性薄膜を形成する工程と、導電性薄膜上に導電性薄膜の種類の異なる薄膜（A）（導電性薄膜に対して選択比のあるエッチング手段のある薄膜）を作成する工程と、薄膜（A）を用いて薄膜パターン（A'）を作成する工程と、この薄膜パターン（A'）と比べてサイドエッチングを有する形状に導電性薄膜をエッチングすることにより電極を形成する工程と、薄膜パターン（A'）をドーピングマスクに用いて半導体層へ高濃度のドーピング（第1のドーパント導入工程）を行う工程と、前記薄膜パターン（A'）を除去した後に（電極をドーピングマスクに用いた）半導体層へ低濃度のドーピング（第2のドーパント導入工程）を行う工程を使ってTFETを製造することである。

#### 【0011】

【作用】本発明では、電極の周りに露光機等の位置合わせ機構を持った装置を使うことなく、しかもセルフアラインにLDD領域が形成され、かつゲート電極の両サイドに作り込まれるLDD領域はほぼ同一の幅でできあがる。しかも条件によっては露光機の位置合わせマージンよりはるかに小さい幅でLDD領域が形成されることになる。

#### 【0012】

【実施例】以下、本発明の実施例について図面を参照して説明する。

【0013】図1は本発明の第1の実施例のTFETの製造方法を説明するための工程断面図である。

【0014】 $\text{SiO}_2$ 膜をアンダーコートとして被着した基板（ガラス基板）1上にプラズマCVD法でアモルファスシリコン（膜厚約100nm）を形成する。この後アモルファスシリコン中の水素の一部を取り去るために450℃で1時間真空中でアニールを行い、さらにトランジスタ素子サイズにアモルファスシリコンを分離（エッチングによるパターン形成）した後、エキシマレーザー光（波長308nm）を照射し結晶化を行い、ポリシリコン層10を形成する（図1（a））。次にゲート絶縁膜として用いる $\text{SiO}_2$ 薄膜11をECR-CVD法で被着し、さらにCr薄膜12（膜厚50～100nm）をスパッタ法で被着する。そしてゲート電極を形成する部位にフォトリソ（この場合長瀬ネガレジスト747を用いた）のパターン13を形成する（図1（b））。次に、Cr薄膜をウェットエッチングでエッチングしオーバーエッチングをかけることによりレジストのパターン端から約1 $\mu\text{m}$ 内側までサイドエッチングを行いゲート電極12'を形成する（図1（c））。そして十分に水洗そして乾燥させた後、基板1に対して160℃の温度で20分間ベーキングを行いサイドエッチング部をレジストでカバーする（ネガレジストの多くがこの製法に適している）。この状態のレジストをドーピング時のマスクとして用いてソース・ドレイン領域用の高濃度の注入（第1のドーパント導入工程）をイオンシャワードーピング法（あるいはバケットタイプイオンドーピング法；たとえば、イステンゲッド アブストラクト オフ 22(1990インターナショナル)コンファレンス オン ソリッド ステートデバイス アンド マテリアルズ (Extended Abstracts of the 22nd (1990 international) Conference on SOLID STATE DEVICES AND MATERIALS), PP. 971 またはPP. 1197 に記述されている方法である）で行う（図2（d））。この後、レジストを除去し今度はゲート電極12'をドーピング時のマスクとして用いてLDD領域用の低濃度の注入（第2のドーパント導入工程）をイオンシャワードーピング法あるいはプラズマドーピング法で行う（図2（e））。そしてこの後、エキシマレーザー光を再度照射することにより導入されたドーパントの活性化をはかり、層間絶縁用の絶縁膜 $\text{SiO}_2$ 膜14を形成し、コンタクトホールを形成し、メタル配線15を形成することによりポリシリコンTFETが完成する（図2（f））。なお図面には記入していないが、このトランジスタを作り込んだ基板1を水素プラズマにさらす事によりトランジスタ特性の改善を行っている。そしてこの製造方法の場合（図2（f））のL3部がLDD領域となる。

【0015】次に本発明の第2の実施例のTFETの製造

方法を説明する。図3は本発明の第2の実施例のTFTの製造方法を説明するための工程断面図である。以下製造方法を順を追って説明する(第1の実施例と同じ構成のものには同じ記号をつけている)。

【0016】図3(a)に示した断面構造までの工程は第1の実施例の途中工程(図1(c)まで)と同一工程で処理する。第1の実施例と異なる点はソース・ドレイン領域用の高濃度の注入(第1のドーパント導入工程)をイオン注入法で行っている点である(図3(b))。異方性の強いイオン注入法を行うことによりレジストのベークング無しでもサイドエッチング部にドーパントが注入されずに済むことになる。それ以下の工程は実施例1と全く同じであり、説明は省略するが最終的に(図3(c))に示したようにLDD領域L4を持ったLDD構造のポリシリコンTFTが完成する。

【0017】次に本発明の第3の実施例のTFTの製造方法を説明する。図4は本発明の第3の実施例のTFTの製造方法を説明するための工程断面図である。第1の実施例と同じ構成のものには同じ記号をつけている。

【0018】この実施例も最初の工程は第1の実施例と同じである。図1(a)のように基板1上にポリシリコン層10を形成した後にゲート絶縁膜として用いるSiO<sub>2</sub>薄膜11をECR-CVD法で被着し、さらにCr薄膜12(膜厚約50~100nm)をスパッタ法で被着する。さらにCr薄膜12と種類の異なる薄膜(A)(Cr薄膜に対して選択比のあるエッチング手段のある薄膜で洗浄工程等に強い比較的丈夫な膜をこのように記述することにする;ここではSiNx薄膜を用いる)を作成し、そしてゲート電極を形成する部位にフォトリソ(今回はポジタイプのレジストを使用する)のパターン13を形成する(図4(a))。次に、薄膜(A)をドライエッチング法でエッチングし薄膜パターン(A')を作成する。続いてCr薄膜をウェットエッチングでエッチングしオーバーエッチングをかけることにより薄膜パターン(A')の端から約0.5μm内側までサイドエッチングを行いゲート電極12'を形成する。そしてレジストを除去し十分に水洗そして乾燥させた後、この状態でのドーピング時のマスクとして薄膜パターン(A')を用いてソース・ドレイン領域用の高濃度の注入(第1のドーパント導入工程)をイオンシャワードーピング法、あるいはイオン注入法を行う(図4(b))。この後、薄膜パターン(A')を除去し今度はゲート電極12'をドーピング時のマスクとして用いてLDD用の低濃度の注入(第2のドーパント導入工程)をイオンシャワードーピング法あるいはプラズマドーピング法あるいはイオン

注入法で行う(図4(c))。そしてこの後は第1の実施例の(図2(e))以後の工程と同一工程を行う。本実施例でもLDD部L5を持ったLDD構造のポリシリコンTFTが出来る。

【0019】

【発明の効果】以上説明したところから明らかなように、本発明は、ゲート電極の周りにセルフアラインにLDD領域が形成され、かつゲート電極の両サイドに作り込まれるLDD領域はほぼ同一の幅でできあがる。

【0020】このため両サイドのLDD領域の幅とバランスが従来例のように場所によりばらつくことはなくなり、これに伴うトランジスタ特性のばらつきがたいへん小さくなる。

【0021】また、LDD領域はゲート電極エッチン時のサイドエッチングを活用して作成しており、フォトリソ工程の位置合わせマージンよりはるかに小さな幅(サブミクロンも可能)で作成でき、従来のLDD構造を取らない場合とほぼ同一サイズでありながらリーク電流の小さいLDD構造をもったTFTを作成できるという長所を有する。従って、より高性能な液晶表示の提供が可能である。

【図面の簡単な説明】

【図1】本発明の第1実施例のTFTの製造方法を説明するための一部の工程断面図である。

【図2】本発明の第1実施例のTFTの製造方法を説明するための残りの工程断面図である。

【図3】本発明の第2実施例のTFTの製造方法を説明するための工程断面図である。

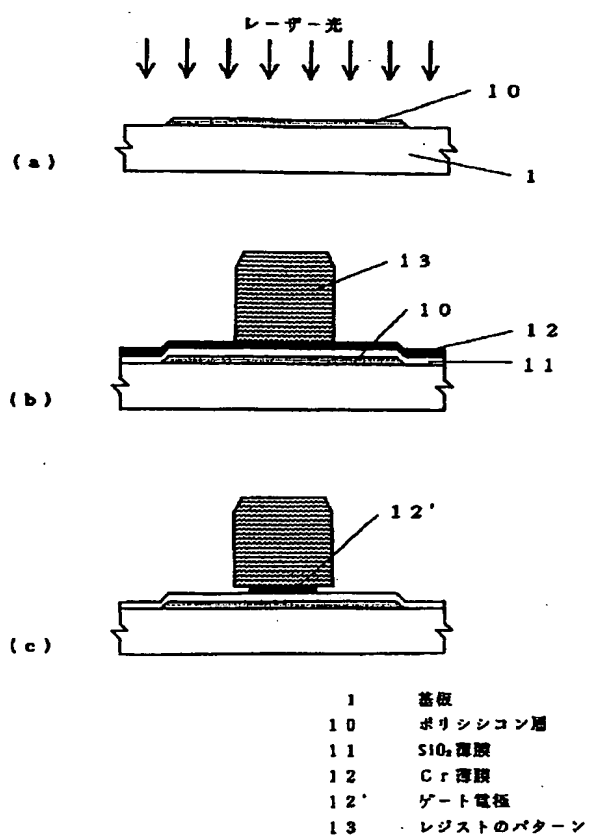
【図4】本発明の第3実施例のTFTの製造方法を説明するための工程断面図である。

【図5】従来の薄膜トランジスタの製造方法を説明するための、工程断面図である。

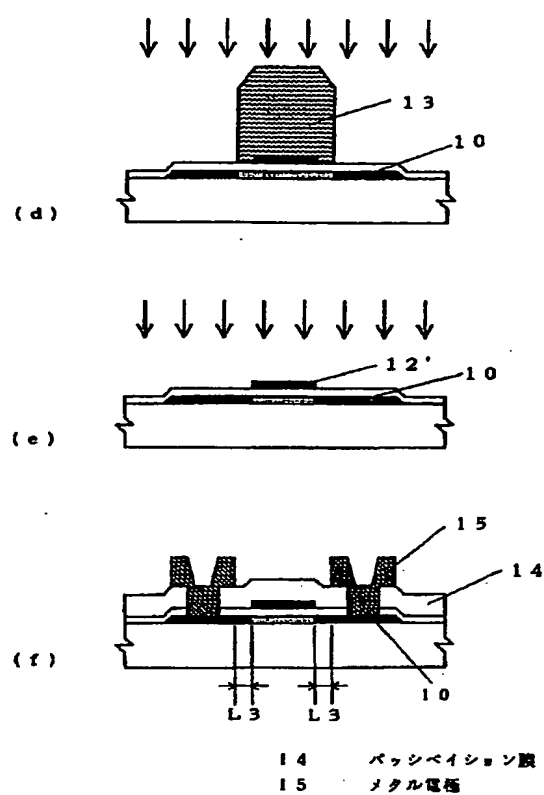
【符号の説明】

1	基板
2, 3'	ポリシリコン層
3	アモルファスシリコン層
4	ゲート絶縁膜
5, 12'	ゲート電極
6, 14	パッシベーション膜
7, 15	メタル電極
10	ポリシリコン層
11	SiO <sub>2</sub> 薄膜
12	Cr薄膜
13	レジストのパターン
L1~L5	LDD領域

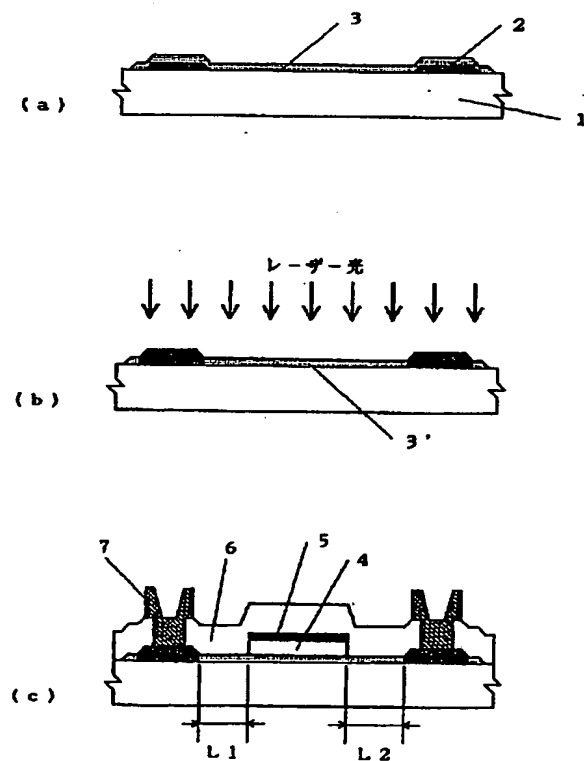
【図1】



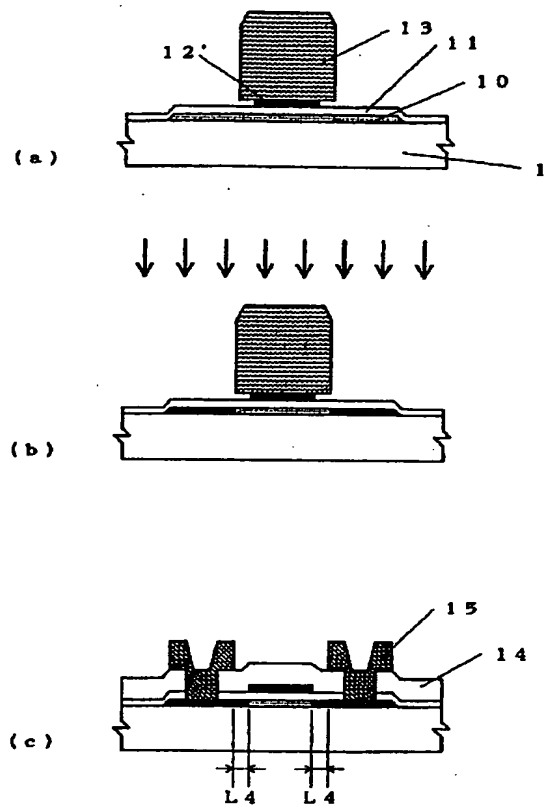
【図2】



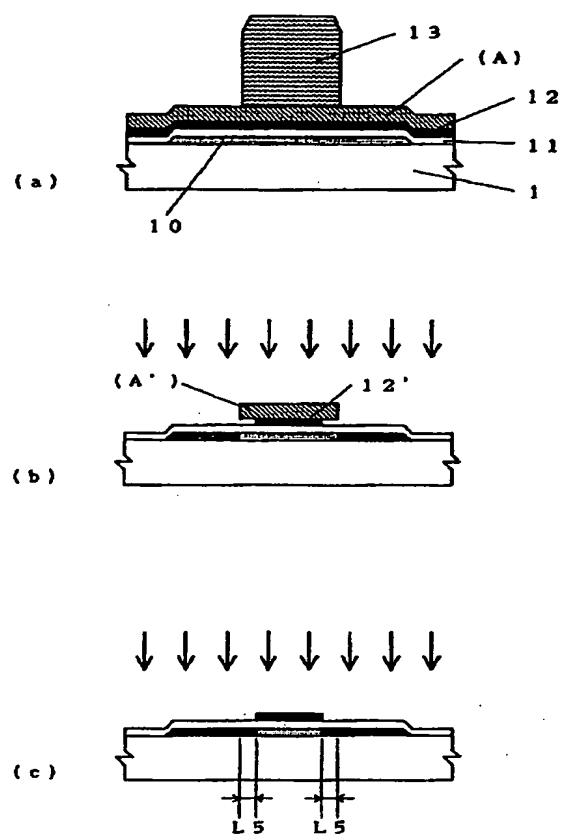
【図5】



【図3】



【図4】



フロントページの続き

(72)発明者 筒 博司  
大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72)発明者 宮田 豊  
大阪府門真市大字門真1006番地 松下電器  
産業株式会社内